

Thread: DFIマザーによるAMDオーバークロックガイドの決定版！ (すべてのオーバークロックガイドを一つにまとめました)
View Single Post

08-19-2005, 05:42 PM

このガイドはJohnrr6が下に挙げた人たちの助けを借りて執筆したものです。そのため、このすばらしいガイドを作ったいかなる榮譽も(コピー & ペーストに要した労力による以外は)私が見るものではありません。

4. DFI NF4 BIOS メモリガイド

このスレッドの目的はOscar Wu制作の至高のマザーであるDFI nForce4マザーにおける膨大な設定の嵐(特にメモリ関係)を前にして、ちょっとした解説と「出発点」を提供するものです。特にオーバークロックの楽しさと興奮を求める初心者向けにかかれています(私は200\$で買ったCPUをあたかも500\$もするCPUのように使うことができ感激しました)。困ったことにマザーボードに付属するマニュアルはこの点に関して全く役に立ちません。そのため、私たちはみな設定項目の意味や働きについての情報を得ることがなく、一つ設定するにもおっかなびっくりといった感じです。設定のいくつかはとにかくわかりにくく、それらがどんな働きをするのかについて情報を得ることは困難極まりないものです。また、後述の「解説」も通常のユーザにとっては理解不能のものばかりかもしれません(もちろん、私だっていくつかは理解できていませんでした)。たとえそうだとすると、私は情報が「全くない」よりも「少しはある」方が優れていると確信します。あなたもメモリの設定に挑戦し“try it before you buy it”の栄えある伝統に満ちた時間を過ごしてください。

警告！！

ここに記された情報やおすすめ設定はあなたの環境では動かないかもしれないことを覚えておいてください。どんなユーザも独自の環境に基づいて様々に違った経験を持っています。そこでの試みから得られる知識もありますし、うまくいけばあなたの環境にぴたりと当てはまるかもしれません。また、私個人の結果はCorsairのBH-5メモリによるものですのでTCCDメモリでは違った結果になるでしょう。メモリタイミングと電圧が全く違いますからね。新しい情報がありましたら気軽にいつでも私に送ってください。もちろんこのスレッドに書き込んでもいいです。

ここにある情報のうち私によるものはほんの少しです。私は単に編集と校訂を行ったのみです。数々の素材をお借りした原作者すべてに功績を捧げたいと思います。もし寄稿者の方で、あなたの発言の扱いに対して不機嫌に思われたならばPMをください。修正します。

お世話になった方々

Adrian Wongと彼の「RojakPot BIOS Explanation」サイト

Adrianはすばらしい本も書いています: [Breaking Through the Bios Barrier](#)

[Lost Circuits](#)

[Tom's Hardware Guide](#)

[AnandTech](#)

Jess1313と**Samurai Jack**、それにフォーラムのみんな、彼らのすばらしい解説を基礎としてこのガイドに使われています。

同じく、次の寄稿者の方々:

ABXZone: Sierra, Blue078, Eldonko, Xgman, Eva2000, HiJon89 (多くのフォーラムのメンバーすべて)

DFI-Street: RGone, AngryGames, masterwoot, Aurhinius

Xtrememsystems: kakaroto

Jess1313, Samurai Jack, Travis, bigtoe----その他いろんなフォーラムにおけるすべての住民

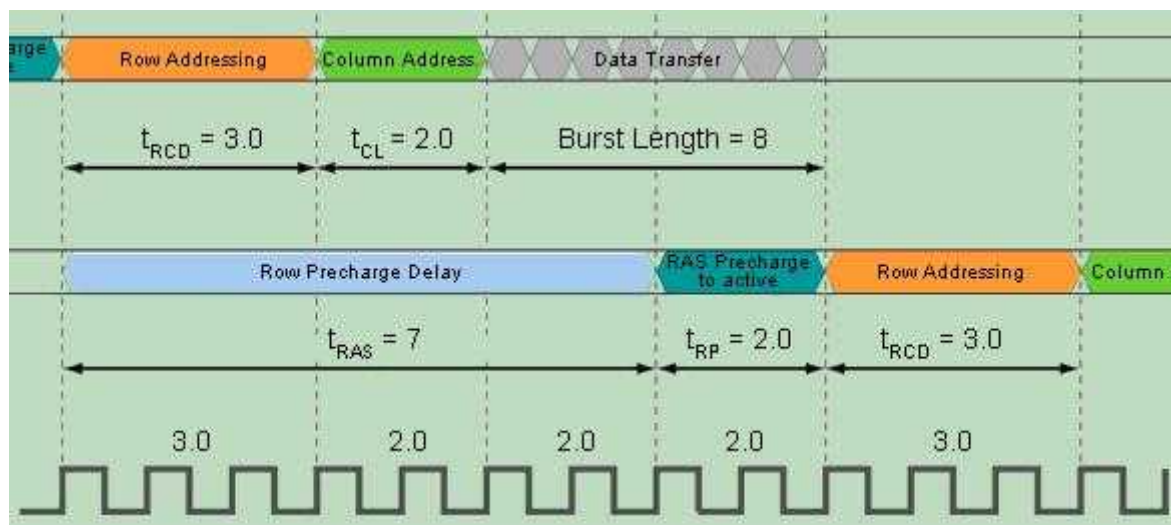
Anand Tech: Wes Fink

初めに:RAMに関する初歩の初歩

Tom's Hardware guideより引用:<http://www.tomshardware.com/index.html>

「メモリタイミングのパラメータのパフォーマンスに対する影響をよりよく理解するには、現在使われているRandom Access Memory (RAM) に関係するあらゆることを知る必要があります。下に挙げた『RAM Timing』図はRAMの働きについて概観を与えてくれます。一番下の線はいわゆる『Read Process』を表しており、それはマザーボードのチップセットにあるメモリコント

ローラ (A64はそれをCPU内に内蔵(訳注:原文では「include ... onboard」なぜonboard?)しています) がデータを含むメモリモジュールを選択したときに初期化されます。メモコントローラはモジュール内の正しいチップとそれが含むデータをアドレス付けします。チップのそれぞれの区画はマトリクスを構成しており、それぞれが行と列のアドレスを使って表されます。その交点の一つ一つがメモリのビットを表すわけです。



メモリアクセスのタイミングパラメータを最適化するとメモリアクセスに関する様々なプロセスを高速化できます。まず最初に、メモコントローラはアドレス付けする記憶区画について行番号を決定します。列番号は t_{RCD} が過ぎてから初めて伝えられます。次に t_{CL} で、この間に出力レジスタにデータが転送されます。このプロセスは t_{RAS} と t_{RP} が過ぎるのを待ってからもう一度最初から開始されます。」

CorsairによるすばらしいRAMのオンラインマルチメディア解説:

http://www.corsairmemory.com/memory_basics/153707/index.html

これがごく初歩の解説です。ガイドは次に続きます。

しかしこれからの設定を始める前に、オーバークロックの助けとなり、NF4マザーボード(すべてのバージョンに使えるでしょう)のきちんと安定して動く設定を見つける助けとなるブランクチャートを用意しました。このアイデアはmasterwootよりいただきました。私は彼の書いたものを使って更新したバージョンを作りました。ありがとう、masterwoot！ IEできれいに印刷するには次の設定を使うといいでしょう。左右のマージンは0.5インチでPortraitモードで印刷します。リンクを開くには少々時間がかかります・・・。

NF4 Memory & Voltages Bios Settings Chart

TCCDメモリに関する追加情報

TCCDメモリのためのすばらしいガイド:

[Kakaroto's TCCD Memory Guide](#)

DFI nForce4マザーボードのためのBIOS最適化ガイド:

Dram Frequency Set(Mhz)

Settings = 100(Mhz)(1/02), 120(Mhz)(3/05), 133(Mhz)(2/03), 140(Mhz)(7/10), 150(Mhz)(3/04), 166(Mhz)(5/06), 180(Mhz)(9/10), 200(Mhz)(1/01)

これはいわゆる「Divider」設定です。同期設定(1:1、DFIマザーなら1/01)が一番よい結果をもたらすとたいいていの人なら言うでしょう。ほかの設定はすべて非同期です。Dividerを使ったメモリスピードの計算にはmemFreq 1.1という小さなソフトが便利です。1/01(同期)設定(400MHzのRAMでのデフォルト)は単純にFSB(HTT)の2倍で動作し、もしFSB(HTT)が240ならばDDRメモリの速度はDDR480に相当するわけです。高度にオーバークロックしたCPUに耐性の低いRAMを組み合わせるにはDividerを活用するとよいでしょう。

説明のためにもう一つの表を挙げておきます。これはVr-ZoneのTravisによるもので、彼はOskar Wuの開発を手助けした人だそうです。:

FSB Frequency	DDR266 (FSB:MEM=3:2)	DDR333 (FSB:MEM=5:4)	DDR400 (FSB:MEM=1:1)
200 MHz	133 MHz (DDR266)	160 MHz (DDR320)	200 MHz (DDR400)
210 MHz	140 MHz (DDR280)	168 MHz (DDR336)	210 MHz (DDR420)
220 MHz	147 MHz (DDR293)	176 MHz (DDR352)	220 MHz (DDR440)
230 MHz	153 MHz (DDR306)	184 MHz (DDR368)	230 MHz (DDR460)
240 MHz	160 MHz (DDR320)	192 MHz (DDR384)	240 MHz (DDR480)
250 MHz	167 MHz (DDR333)	200 MHz (DDR400)	250 MHz (DDR500)
260 MHz	173 MHz (DDR346)	208 MHz (DDR416)	260 MHz (DDR520)
270 MHz	180 MHz (DDR360)	216 MHz (DDR432)	270 MHz (DDR540)
280 MHz	187 MHz (DDR373)	224 MHz (DDR448)	280 MHz (DDR560)
290 MHz	193 MHz (DDR386)	232 MHz (DDR464)	290 MHz (DDR580)
300 MHz	200 MHz (DDR400)	240 MHz (DDR480)	300 MHz (DDR600)

バンド幅に対する影響:大

安価なRAMを使うなら何とかして1:1設定を目指しましょう。安定度が増します。

DFIの推奨設定:200(Mhz)(1/01)

Command Per Clock(CPC)

Settings: Auto, Enable(1T), Disable(2T)

Command Per Clock(CPC)はCommand Rateとも呼ばれます。512MBのRAMモジュール2枚を使用する場合Disable(2T)設定にするとよい場合があります。CPCはバンド幅・安定性に大きな影響があります。

Adrian Wongのサイトより引用: <http://www.rojakpot.com/>

「BIOSのこの機能は、Chip Select信号が送られてからメモリコントローラがバンクに命令を送り始めるまでの間の遅延を設定します。値を小さく設定すればメモリコントローラは対象のバンクに対してより早く命令を送ることができます。この機能を有効にするとメモリコントローラは命令遅延を1クロック、つまり1Tだけ挿入することになります。無効なら2クロック、つまり2Tが挿入されるわけです。『Auto』オプションはメモリモジュールのSPD値を使って命令遅延を決定します。もしSDRAMの命令遅延が大きすぎる場合、メモリコントローラが命令を発することを不必要なほど阻害することになりますからパフォーマンスに悪影響を与えるでしょう。しかし、逆に命令遅延が小さすぎるとメモリコントローラはアドレスをきちんと解釈できないかもしれず、間違った命令によりデータの損失や破壊につながるかもしれません。メモリのパフォーマンスを上げるために1T設定を有効にすることをおすすめしますが、安定性に問題が起きましたら無効にしてください。」

バンド幅・安定性に対する影響:大

DFIの推奨設定:可能なら常に1Tを有効にすること

CAS Latency Control(tCL)

Settings = Auto, 1, 1.5, 2, 2.5 3, 3.5, 4, 4.5.

これは多くのメーカーがRAMのタイミング設定として一番最初に挙げるものです。たとえば、3-4-4-8@275MHzと記されたRAMならば3という数字がそれに当たります。tCLを2に設定すると最高のパフォーマンスが得られます。3では通常の場合安定性重視になります。注意: Winbond BH-5/6では3に設定することはできないでしょう。

Lost Circuitsより引用 <http://www.lostcircuits.com/>

「CASはColumn Address Strobe、あるいはColumn Address Selectの略です。CASは命令を受けとってから実際に実行するまでの時間をサイクル単位(2, 2.5, 3)で指定します。CASはメモリマトリクスにおいて主にHEXアドレスの位置や列番号を制御するためにメモリアイミングの中では一番重要なものですので、システムが安定して動く限りできるだけ低く設定すべきです。メモリマトリクスは行と列両方から構成されています。メモリのピンに対して電子的なリクエストがあった場合、最初に

tRAS(プリチャージのための遅延)が発生します。電子的にリクエストされたデータをプリチャージ、メモリが実際にRAS信号を初期化することを活性化といいます。(訳注:Data requested electronically is precharge, and the memory actually going to initiate RAS is activation. 意味がわからない。プリチャージはこんな意味だっけ?) tRASが発生するとRAS(Row Address Strobe)信号により必要なデータのアドレスについてその片割れが探されます。行番号が決まるとtRCDが初期化され、サイクルが経過し、そしてデータの正しいHEX番号がCAS信号を通してアクセスされます。CAS信号が始まって終わるまでの間がCASレイテンシです。CASはデータを実際に見つける最終段階ですのでメモリタイミングのうち最も重要なものなのです。」

Adrian Wongのサイトから引用:<http://www.rojakpot.com/>

「BIOSのこの機能はCAS信号の発生と目標となるメモリセルからデータを読み出すまでの間の遅延をクロックサイクルで制御します。tCLはまた、バースト転送の最初の段階を終えるために必要なクロックサイクルの量をも決定します。別の言い方をすると、CASレイテンシを小さく設定することにより、メモリの読み書きはより早くなります。ただし小さいレイテンシを設定することでデータを損失するおそれのあるメモリモジュールがあることには注意してください。つまり、メモリのパフォーマンスを上げるためにはSDRAMのtCLを2か2.5に設定することが推奨されるわけですが、もしそれでシステムが不安定になるようならもっと高い数値にするべきです。興味深いことに、CASレイテンシの数値を挙げるとメモリモジュールはより高いクロックで動作することが多いです。そのため、SDRAMのオーバークロックがうまくいかない時はCASレイテンシを上げてみるとよいでしょう。」

バンド幅に対する影響:小、安定性に対する影響:大

DFIの推奨設定: 1.5、2、2.5、3 (Lower = Faster)

RAS# to CAS# Delay(tRCD)

Settings = Auto, 0, 1, 2, 3, 4, 5, 6, 7.

これは多くのメーカーがRAMのタイミング設定として二つめに挙げるものです。たとえば、3-4-4-8@275MHzと記されたRAMならば一つめの4という数字がそれに当たります。

Adrian Wongのサイトより引用:<http://www.rojakpot.com/>

「BIOSのこの機能はRAS信号とCAS信号の間の遅延を決定します。メモリモジュールごとに適切な設定はそれに記されたメモリタイミングに影響されます。JEDECの仕様書では三つ、あるいは四つ並んだ数字のうち一つめの数字がそれです。この遅延はメモリマトリックスの行がリフレッシュされたり活性化されるごとに発生するものですので、遅延を少なくすることによりパフォーマンスが上がります。メモリモジュールに対して値が小さすぎると、システムが不安定になることに注意してください。tRCDを減らしたことによってシステムが不安定になったならば、メモリモジュールに記された値に戻してください。興味深いことに、tRCDを増やすとメモリモジュールはより高いクロックで動作することが多いです。そのため、SDRAMのオーバークロックがうまくいかないときはtRCDを上げてみるとよいでしょう。」

バンド幅・安定性に対する影響:大

DFIの推奨設定:2-5。2に設定すると最高のパフォーマンスが得られます。4-5はオーバークロックに最適です(とはいえ5は高すぎるでしょう)。上等でないRAMでは2に設定できないが、オーバークロックがうまくいかないでしょう。(Lower = Faster)

Min RAS# Active Timing(tRAS)

Settings = Auto, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 10, 11, 12, 13, 14, 15.

これは多くのメーカーがRAMのタイミング設定として四つめに挙げるものです。たとえば、3-4-4-8@275MHzと記されたRAMならば8という数字がそれに当たります。

Adrian Wongのサイトより引用:<http://www.rojakpot.com/>

「BIOSのこの機能はメモリバンクの最小Row Active Time(tRAS)を制御します。これは、ある一つの行が活性化されて、後に不活性化されるまでの時間に等しいです。tRAS間隔があまりに長いと、活性化された行を不活性化するまでに不必要なほど待たされることになるためパフォーマンスが落ちてしまいます。tRAS間隔を減少させることにより不活性化を早く行えます。しかしtRASが短すぎるとバースト転送を完了できなくなるかもしれません。そのためパフォーマンスが下がったりデータを損失、破壊するおそれがあります。最適なパフォーマンスを得るには可能な限り低い値を設定してください。通常の場合これはtCL + tRCD + 2(単位はクロックサイクル)に等しいです。例を挙げると、CASレイテンシが2、tRCDが3に設定されている場合、最適なtRAS値は7になります。しかしメモリエラーやシステムクラッシュが起こるようになった場合は、そのような障害が出なくなるまでtRAS値を一つずつ上げていってください。」

このメモリアイミングはあらゆるWebサイトで議論的になります。00、05、10設定が速度、安定性ともに優れているという人もいます。明確に正しいといえる答えはなく、それは使うRAMに依存するでしょう。まず最初に試すならば、ほとんどのRAMは通常、その最高のオーバークロック状態においてtRASを10に設定できるはずですが、もちろんほかの設定の方が速度が上かもしれないがね。

バンド幅・安定性に対する影響:小

DFIの推奨設定:00、あるいは05-10の間の値のみを使ってください。私はまず最初に8に設定してから様子を見ることにしています。(Lower = Faster)

Row Precharge Timing(tRP)

Settings = Auto, 0, 1, 2, 3, 4, 5, 6, 7

これは多くのメーカーがRAMのタイミング設定として三つめに挙げるものです。たとえば、3-4-4-8@275MHzと記されたRAMならば二つめの4という数字がそれに当たります。

Adrian Wongのサイトより引用:<http://www.rojakpot.com/>

「BIOSのこの機能はRAS Precharge Time(tRP)を制御します。これはPrecharge命令が完了してからメモリセルの行が活性化可能になるのにかかる時間に等しいです。従って「DRAM Precharge Command to Activate Command(略してDRAM PreChrg to Act CMD)」と呼ばれるのです。tRPが長すぎるとメモリセルの行の活性化が遅れてしまいパフォーマンスが落ちます。tRPを2Tに下げると新しい行の活性化が早く行われるようになりますのでパフォーマンスがまします。しかし2Tという短いtRPに適さないメモリモジュールも存在します。その場合、メモリセルがメモリバンクに書き戻され行が不活性化される前に行の活性化が行われますので、メモリセルの内容が失われてしまいます。これにより、メモリコントローラが活性化された行から読み書きするときにデータの損失や破壊のおそれが生じます。上記の理由からパフォーマンスを増進させる場合はtRPを2Tに下げることをおすすめしますが、tRPを減らしたことによってシステムが不安定になったのなら3Tや4Tに増やしてください。」

バンド幅・安定性に対する影響:大

DFIの推奨設定:2-4、2に設定すると最高のパフォーマンスが得られます。4-5はオーバークロックに最適です(とはいえ5は高すぎるでしょう)。多くのRAMが2に設定できないか、またはオーバークロックに支障を来すでしょう。(Lower = Faster)

Row Cycle Time(tRC)

Settings = Auto, 7-22 in 1.0 increments.

Adrian Wongのサイトより引用:<http://www.rojakpot.com/>

「BIOSのこの機能はメモリモジュールのRow Cycle Time(tRC)を制御します。tRCはメモリマトリクスの該当行を活性化し、プリチャージが完了するまでの最短時間をクロック単位で決定します。式で表すと $tRC = tRAS + tRP$ となります。そのため、tRCを設定する前にtRASとtRPを決定することが重要です。tRCが大きすぎるとプリチャージが完了した後、次の行を活性化するまでの間に不必要な遅延が生じてパフォーマンスを損ないます。tRCを小さくすると次の行の活性化がより早く起こります。しかしtRCが小さすぎると、活性化された行のプリチャージが十分にできないまま次の行の活性化が行われることになり、データの損失や破壊のおそれが生じます。最適なパフォーマンスを得るためには $tRC = tRAS + tRP$ の式から最小のtRCを計算して使ってください。たとえば、メモリモジュールのtRASが7でtRPが4だった場合、tRCは11に設定するべきでしょう。(訳注:この重複行は削除)」

バンド幅・安定性に対する影響:大

DFIの推奨設定:7に設定すると最高のパフォーマンスが得られます。15-17は安定性重視やオーバークロックに最適です。22は大きすぎるでしょう。まず16に設定し、徐々に値を下げていくことをおすすめします。通常の場合、7はほとんどの平均的なRAMに対して厳しすぎるでしょう。tRC = tRAS + tRPの公式を忘れないでください。(Lower = Faster)

Row Refresh Cycle Time(tRFC)

Settings = Auto, 9-24 in 1.0 increments.

DFIのBIOSより引用:「BIOSのこの機能は同じメモリバンクの一つの行がリフレッシュされるための時間を表しています。この値は同じバンクの違った行に対して、それぞれにリフレッシュ(REF)コマンドが発行される間隔に等しいです。tRFCはtRCより高く設定します。なぜならtRCで表される時間の間、メモリマトリクスの列に対するアクセスゲートが有効にならないからです。」

バンド幅・安定性に対する影響:大

DFIの推奨設定:通常の場合9は使用不能です。そのため10に設定すると最高のパフォーマンスが得られます。17-19は安定性重視やオーバークロックに最適ですが19は大きすぎるかもしれません。17に設定して徐々に値を下げていくことをおすすめします。たいていはtRCよりも2-4クロック高く設定することで安定します。(Lower = Faster)

Row to Row Delay(also called RAS to RAS delay)(tRRD)

Settings = Auto, 0-7 in 1.0 increments.

Adrian Wongのサイトより引用:<http://www.rojakpot.com/>

「BIOSのこの機能は同じDDRデバイスに対して発行された連続するACTIVATEコマンドの最小間隔を決めます。この遅延を短くすると、より早く次のバンクが読み書き命令に対して活性化されます。しかしながら行の活性化には多くの電流を必要とするため、短い遅延は急激なサージを引き起こす場合があります。デスクトップPCではサージはあまり重要でないため2サイクルの遅延が推奨されます。(訳注:デスクトップ以外ではどうなのだろう?)より短い2サイクルという遅延を使うことによるパフォーマンスの改善は非常に重要です。この設定だと背中合わせになった二つのバンクの活性化が1クロックかそれ以下の間をおいてなされることになるでしょう。これによりDDRデバイスの読み書きパフォーマンスが上がります。2サイクル設定で安定性に問題が生じたときのみ3サイクル設定を使ってください。」

バンド幅・安定性に対する影響:小

DFIの推奨設定:00に設定すると最高のパフォーマンスが得られます。4に設定することは安定性重視やオーバークロックに最適です(ですが4より上は大きすぎるでしょう)。おそらく2に設定することが最善でしょう。00という設定は奇妙に思えるかもしれませんが、その設定で260MHzという周波数で稼働させている人もいます。(Lower = Faster)

Write Recovery Time(tWR)

Settings = Auto, 2, 3.

Adrian Wongのサイトより引用: <http://www.rojakpot.com/>

BIOSのこの機能は、書き込み作業がきちんと完了し活性化されたバンクがプリチャージ可能となる前に経過すべき時間を指定します。この遅延はプリチャージが起こる前にライトバッファの中身がきちんとメモセルに書き込まれることを保証するために必要です。この遅延を短くすると、より早くプリチャージが行われ別の読み書き作業に移れます。これによりパフォーマンスが上がりますがメモセルに対して壊れたデータが書き込まれるリスクを負うこととなります。DDR200やDDR266メモリモジュールを使う場合は2に、DDR333やDDR400メモリモジュールなら3に設定することをおすすめします。小さな値に設定してメモリパフォーマンスを向上させることもできますが、安定性に問題が生じた場合は設定した遅延を元に戻して問題を解決してください。

バンド幅・安定性に対する影響:小

DFIの推奨設定:2に設定すると最高のパフォーマンスが得られるでしょう。3に設定することは安定性重視でオーバークロックに最適です。(Lower = Faster)

Write to Read Delay(tWTR)

Settings: Auto, 1, 2

Adrian Wongのサイトより引用:<http://www.rojakpot.com/>

「BIOSのこの機能は「Write Data In to Read Command Delay(tWTR)」を制御します。これは、同じDDRデバイスと同じバンクに対して、書き込み操作が完了してから次の読み込み命令が行われるまでの間の最小間隔をクロック単位で表したものに等しいです。tWTRを1に設定すると当然ながら書き込みから読み込みへの切り替えが早くなり、その結果読み込み性能が上がります。2に設定すると読み込み性能は落ちますが、特に高クロック設定の時の安定性が向上するでしょう。これによりさらなる高クロックでの稼働が可能になるかも知れません。別の言い方をすれば、この遅延を大きくするとメモリモジュールが

通常で可能な範囲よりもさらに高いクロックへオーバークロックが出来るようになるでしょう。DDR266やDDR333のメモリモジュールを使う場合は、よりよい読み込み性能のために1に設定することをおすすめします。DDR400のメモリモジュールでも1に設定することは出来るでしょう。しかし安定性に問題が生じた場合は設定した遅延をデフォルトである2に設定して問題を解決してください。」

DFIのBIOSより引用:「BIOSのこの機能は『Write To Read delay』を決定します。Samsung社はこれをTCDLR(last data in to read command)と呼んでいます。tWTRはクロックの立ち上がりエッジとそれに続くノンマスク・データストロブ信号(訳注:non-mask data strobeとはなんぞや)から始まり、次の読み込み命令でのクロックの立ち上がりエッジまでを計測することで得られます。JEDECは通常の場合これを1クロックに指定しています。」

バンド幅・安定性に対する影響:小

DFIの推奨設定:1に設定することで最高のパフォーマンスが得られます。2に設定することは安定性重視やオーバークロックに最適です。(Lower = Faster)

Read to Write Delay(tRTW)

Settings = Auto, 1-8 in 1.0 increments.

Adrian Wongのサイトから引用:<http://www.rojakpot.com/>

「メモリコントローラが読み込み命令の直後に書き込み命令を受けた場合、書き込み命令が実際に発効される前に通常はある程度の遅延が追加されます。BIOSのこの機能はその名前が示すとおり、この遅延を少なく(あるいは多く)することが出来ます。これによりメモリの書き込み性能が改善されます。読み込みから書き込みまでの行程を素早く行うためにこの機能を有効にすることを推奨します。しかしすべてのメモリモジュールにおいてこの行程を短くすることが出来るわけではありません。もしメモリモジュールがより素早くこの行程を扱うことが出来なかった場合、メモリモジュールに書き込まれたデータは損失するか壊れてしまうかも知れません。そのため、安定性に問題が生じたときはこの機能を無効にして(あるいは値を大きくして)問題を解決してください。」

DFIのBIOSより引用:BIOSのこの機能は“read to write delay”を指定します。これはDRAMごとに指定されているタイミングパラメータではありませんが、より高クロックにオーバークロックされたバスにおけるレイテンシ(訳注:the routing latencies on the clock forwarded bus 『routing』の意味がわからない)のためには考慮する必要があります。tRTWはバースト読み込みの部分とは関係ない最初のアドレスバススロットから計測されます。」

バンド幅・安定性に対する影響:小

DFIの推奨設定:1に設定することで最高のパフォーマンスが得られます。4に設定することは安定性重視やオーバークロックに最適です。1に設定することをおすすめしますが、もし不安定になるようならば2に設定してみてください。(Lower = Faster)

Refresh Period(tREF)

Settings = Auto, 0032-4708 (不連続で間隔も不定です)

1552= 100mhz(?.?us)
2064= 133mhz(?.?us)
2592= 166mhz(?.?us)
3120= 200mhz(?.?us) (BH-5,6を250MHzで使う場合の最適設定のようです)

3632= 100mhz(?.?us)
4128= 133mhz(?.?us)
4672= 166mhz(?.?us)
0064= 200mhz(?.?us)

0776= 100mhz(?.?us)
1032= 133mhz(?.?us)
1296= 166mhz(?.?us)
1560= 200mhz(?.?us)

1816= 100mhz(?.?us)
2064= 133mhz(?.?us)

2336= 166mhz(?.?us)

0032= 200mhz(?.?us)

0388= 100mhz(15.6us)

0516= 133mhz(15.6us)

0648= 166mhz(15.6us)

0780= 200mhz(15.6us)

0908= 100mhz(7.8us)

1032= 133mhz(7.8us)

1168= 166mhz(7.8us)

0016= 200mhz(7.8us)

1536= 100mhz(3.9us)

2048= 133mhz(3.9us)

2560= 166mhz(3.9us)

3072= 200mhz(3.9us)

3684= 100mhz(1.95us)

4196= 133mhz(1.95us)

4708= 166mhz(1.95us)

0128= 200mhz(1.95us)

Adrian Wongのサイトより引用: <http://www.rojakpot.com/>

「BIOSのこの機能はメモリチップのリフレッシュ間隔を決めます。Autoオプションの他に様々に違った設定が存在します。Autoオプションが設定された場合BIOSはメモリモジュールのSPDチップに問い合わせ、互換性を最大限に得るために一番低い設定を使います。よりよいパフォーマンスを得るためにはリフレッシュ間隔をデフォルトの設定（128Mbit、あるいはさらに小さなメモリチップなら15.6マイクロ秒、256Mbit、あるいはさらに大きなメモリチップなら7.8マイクロ秒）から128マイクロ秒までの間で大きくすることを考慮すべきです。リフレッシュ間隔を大きくしすぎるとメモリセルが内容を失うかも知れないことに注意してください。そのため、まずリフレッシュ間隔を少しだけ上げることから始めて、さらに上げたいときはシステムをテストしてからにしてください。リフレッシュ間隔を大きくしたことで安定性に問題が生じた場合は、システムが安定するまでリフレッシュ間隔を少しずつ減少させていってください。」

ABXzoneのSierraの記述から引用:「以下の情報は以前のRAMガイドからの引用です。簡単に言うと、メモリモジュールは電気的な細胞の集まりです。これらの細胞はチップ上に行ごとに並べられており、リフレッシュ操作でプリチャージされます。リフレッシュ間隔はリフレッシュされる行の数に相当します。

「ビットごとに蓄えられた電荷は定期的にはリフレッシュされないとはいけません。でないと電荷は放出しビットに含まれたデータは喪失してしまいます。実のところDRAM(Dynamic Random Access Memory)はビットの列にエネルギーを蓄積したコンデンサの集まりなのです。このビットの列はランダムアクセスすることが出来ます。しかしながら、このコンデンサは短い時間しかエネルギーを蓄積できずに放出してしまうのです。そのためDRAMは1行ずつ15.6マイクロ秒(1マイクロ秒は10のマイナス6乗秒)ごとにリフレッシュ(コンデンサをプリチャージすること)しないとイケないのです。このコンデンサはリフレッシュされるたびに中身が書き直されます。この理由のため、DRAMは揮発性メモリとも呼ばれます。RAS-ONLYリフレッシュ(ROR)の使用(これが正当なリフレッシュ法です)により、各列は行ごとに順番にリフレッシュされます。典型的なEDOモジュールにおいてこの操作は15.6マイクロ秒を要します。そのため、2048モジュールでの列ごとのリフレッシュ時間は15.6マイクロ秒×2048行= 32ミリ秒(1ミリ秒は10のマイナス3乗秒)になります。この値がtREFと呼ばれるものです。tREFは行全体のリフレッシュ間隔に相当します。(訳注:実際には1行分の間隔、つまりこの場合は15.6マイクロ秒をtREFとして指定すると思われる)。」

DFIフォーラム置いてtREFに関する興味深い議論がありました: <http://www.dfi-street.com/forum/showthread.php?t=10411>

バンド幅・安定性に対する影響:小

DFIの推奨設定:tREFはtRASと同じように明確に正しいと言える設定はありません。15.6usや3.9usの設定にすれば満足に動くでしょうし、1.95us設定ではバンド幅が狭くなるでしょう。不明な設定(?.?us)は効果が完全に不明です。多くの人が「3120」つまり、「200mhz(?.?us)」を設定すると、パフォーマンスと安定性のバランスが一番よくなると言っています。しかしこの結果はRAMの種類によって全く違ったものになるかも知れません。

Write CAS# Latency(tWCL)

Settings = Auto, 1-8

Lost Circuitsより引用: <http://www.lostcircuits.com/>

「Write CAS Latency (tWCL)の設定について:一般的なSDRAM(DDR Iを含む)は、その名前が表すとおりランダムアクセスを行います。これはメモリコントローラが物理的なメモリ空間に対して自由にあらゆる場所に対して書き込みを行うことを意味します。つまりたいいていの場合、開いているページならどこでもかまわず、CAS信号に一番近い列アドレスの場所を選んで書き込むことになるでしょう。この結果、tCLが2、2.5、3などの値をとるのに対して、tWCLは1Tになります。ほとんどの場合tWCLは1Tに設定すべきです(DDR IIを使う場合はこの限りではありません)。」

安定性に対する影響:大、バンド幅に対する影響:不明

DFIの推奨設定:ほとんどの人はAutoや1に設定しているとレスしています。RGoneがDFI-Streetで語ったところによれば、5という設定はあらゆるメーカー・サイズ・速度のメモリに対して有効に働いたと言うことです。私は1に設定することを推奨します。

DRAM Bank Interleave

Settings = Enable, Disable

Adrian Wongのサイトより引用: <http://www.rojakpot.com/>

「BIOSのこの機能はSDRAMインターフェイスのインターリーブモードを設定します。インターリーブを有効にするとリフレッシュやアクセスを行うごとにSDRAMのバンクが入れ替わります。一つのバンクがアクセスされる間に別のバンクがリフレッシュされます。これにより各々のバンクに対するリフレッシュにかかる時間を隠蔽することができますので、メモリのパフォーマンスを向上することになります。メモリのすべてのバンクのリフレッシュが交互に行われることにより、一種のパイプライン効果が生まれることが最近の調査により明らかになりました。しかしながら、インターリーブは連続して要求されたアドレスが同じバンクに対してのものではない時にしか効果がありません。同じバンクに対してのものだった場合、あたかもインターリーブが無効になっているときのようにデータ処理が行われます。CPUは、最初のデータ処理が終わり別のアドレスを送るためにバンクがリフレッシュされるのを待たねばならないでしょう。現在ではすべてのSDRAMモジュールがインターリーブをサポートしています。この機能は可能なら常に有効にしておくことを推奨します。」

バンド幅・安定性に対する影響:大

DFIの推奨設定:可能なら常に有効にすること。これはバンド幅改善に対してかなり影響する設定項目です。無効にすると安定性に寄与しますが、それに相関してバンド幅を下げることになるでしょう。(Enable = Faster)

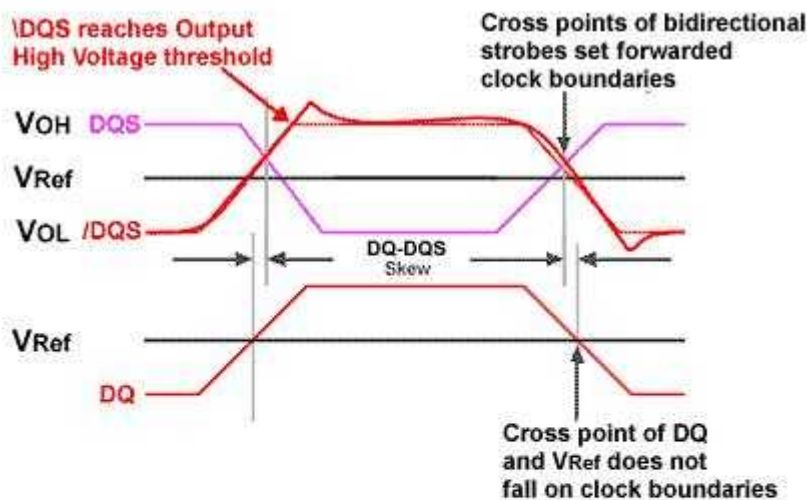
DQS Skew Control

Settings = Auto, Increase Skew, Decrease Skew

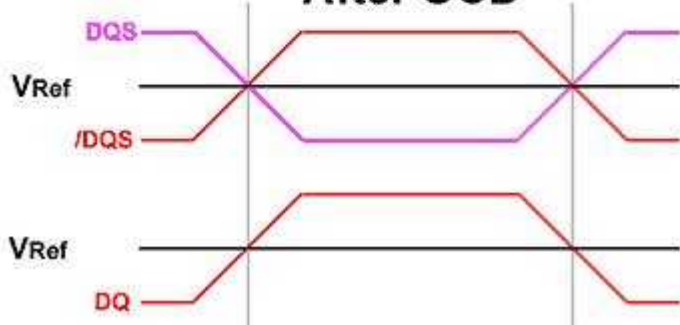
Lost Circuitsより引用: <http://www.lostcircuits.com/>

「電圧変位を小さくするとより高い周波数を達成できるのは確かですが、あまりに高い周波数だと電圧の急激な変化により深刻なゆがみ(スキュー)が発生します。スキューはDrive Strengthを増加させることで低減できますが、立ち上がり立ち下りのエッジそれぞれに対してオーバーシュート・アンダーシュートを引き起こすことが欠点です。さらに問題なことに、高周波数信号ではいわゆる信号遅れの現象が生じます。DDRでは単純な信号の形でクロックを追加することによりこれを解決します。DDR IIではそれに加えて、信号の立ち上がり、立ち下りにあわせてDQSと/DQSからなる双方向性で、かつ、ディファレンシャルな入出力バッファ信号を導入しています。ディファレンシャルとは、信号を零点と信号値の差で計測する代わりに、二つの信号を用いて互いに相手との差を計測する方式です。この理論によるとクロックの立ち上がり立ち下りは相手に対して完全に対称になっているはずですが、現実は違います。どうなるかというと、出力電圧の高・低それぞれの地点(VOHとVOL)においてスキューによる遅れが発生しますし、クロック進行に使用されるDQSと/DQSとの間の交差が必ずしもDQが零点(Vref)と交差するのと同様には起こらなかったり、それどころか、信号が常に1クロックずつずれることにもなります。この、クロックとデータ処理のタイミングのずれがDQ-DQSスキューと呼ばれているのです。」

Before OCD



After OCD



バンド幅・安定性に対する影響:小

DFIの推奨設定:パフォーマンスを上げたいなら「Increase」、安定性重視ならば「Decrease」に設定するとよいでしょう。Increase設定を推奨します。(Increase = Faster, Decrease = Slower)

DQS Skew Value

Settings = Auto, 0-255 in 1.0 increments.

これはDQS Skew Controlを有効にした場合に増減される値です。それほどシビアなタイミングが要求されるわけではありません。

バンド幅・安定性に対する影響:小

DFIの推奨設定:それほどシビアなタイミングは要求されません。「Increase Skew」設定とともに50-255の間の数値で試してみるとよいでしょう。(Higher = Faster)

DRAM Drive Strength

Settings = Auto, 1-8 in 1.0 increments.

Adrian Wongのサイトより引用:<http://www.rojakpot.com/> 「Driving Strengthとも呼ばれます。この機能によりメモリのデータバスにおける信号の強さを制御できます。メモリバスのDrive Strengthを上げるとオーバークロック時の安定性が増します。DRAM Drive Strengthはメモリのデータ線における信号の強さに関係しています。大きな値にするにより強い信号が使われることになり、オーバークロックモジュールの安定性を改善するためにおすすめです。他のモジュールではより強い信号が好まれるのに対して、TCCDモジュールは弱いDrive Strengthの方がよいという話もあります。」

bigtoeの投稿:「このオプションはAutoにした場合、弱いDrive Strengthが設定されます。これはTCCDモジュールには適していますが、その他の場合には避けるべきです。この掲示板での実験と検証から私は次のように結論づけました。1、3、5、

7、Autoの各オプションはすべて「弱」設定です。その中でも1が一番弱く、7はDFIが設定した標準の値に近いです。2、4、6、8の各オプションは「標準」設定です。その中でも8が一番強い設定になります。TCCDを使う場合は通常、3、5、7設定がオーバークロックに適しているようです。VXや新型のBH Gold、その他OCZのモジュールを使う場合は8や6を試すとよいでしょう。」

安定性に対する影響:大

DFIの推奨設定 (bigtoeの投稿):TCCDを使う場合は通常、3、5、7設定がオーバークロックに適しているようです。VXや新型のBH Gold、その他OCZのモジュールを使う場合は8や6を試すとよいでしょう。

DRAM Data Drive Strength

Settings = Levels 1-4 in 1.0 increments.

Adrian Wongのサイトより引用: <http://www.rojakpot.com/>

「DRAM Data Drive Strengthはメモリのデータ線における信号の強さを決定します。これは主に多くのDRAMを同時に使う場合(複数枚での使用や両面メモリなど)でのDIMMの耐性を上げるために使われます。そのため、このような場合には値を「Hi」や「High」に設定するべきです。このオプションはその性格から言ってメモリバスをオーバークロックするときの助けとなるでしょう。DIMMが望み通りにオーバークロックできないときはメモリのデータ線における信号の強さを強めると、オーバークロック時の安定性を高めることができます。しかしこれはメモリバスをオーバークロックする確実な手段とは言えません。さらに、メモリバスの信号を強くしても、DIMM自体のパフォーマンスがよくなるわけではありません。そのため、DIMMをたくさん使ったりオーバークロック時の安定性を高めたいのであれば、DRAM Data Drive Strengthは「Lo」「Low」に設定する方がいいでしょう。」

安定性に対する影響:大

DFIの推奨設定:CPCを有効にした場合Level1かLevel3を使うことが推奨されています。CPCを有効にするとLevel1より高い設定では非常に不安定になるという人もいます。また、CPCが有効でもLevel3がよいという人もいます。CPCが無効な場合Level2-4に設定するとうまくいったという報告もありました。私自身はCPCを有効にして、さらにLevel4に設定するとうまく動きました。(Higher = Faster)

Max Async Latency

Settings = Auto, 0-15 in 1.0 increments.

私はこのオプションについて詳細な記述を見つけることができず、メモリのどの部分に影響を与えるかもわかりませんでした。もし何らかの情報をお持ちならば是非ここにレスしてください。後で更新しようと思います。

HiJon89の投稿:「Max Async Latencyの設定を変更するとEverestのLatencyテストにおいて大きな差が認められます。BH-6使用時に設定を8nsから7nsに下げたところ、EverestのLatencyテストで1nsの差がありました。7nsから6nsに下げるとさらに2nsの変化がありました。」

バンド幅・安定性に対する影響:小

DFIの推奨設定:7nsがデフォルトです。7nsから初めて5.0から10.0の間の値を試すとよいでしょう。HiJon89の投稿:「6nsはかなりぎりぎりの設定です。UTTやBH-5を使う場合におすすめしますが、TCCDには適していません。8nsはUTTやBH-5に対しては緩すぎる設定ですが、TCCDをDDR600設定で使う場合には適しています。9nsはTCCDに対してさえ緩すぎますので、DDR640以上を目指す場合にのみ使うとよいでしょう。」(Lower = Faster)

Read Preamble Time

Settings = Auto, 2.0-9.5 nanoseconds, in 0.5 increments.

DFIのBIOSより引用:「BIOSのこの機能はmax-read DQS return (訳注:なんだこりゃ)の前に置かれる時間を決定します。これはDQS信号がONになるときに現れます。」

Samsungの古いメモリガイドより引用:「読み込み時におけるDQSのプリアンブル: DDR SGRAMはデータストロブ信号(DQS)を使用してパフォーマンスを増加させています。DQS信号には双方性があり、DDR SGRAMからグラフィックコントロー

ラ、あるいは逆にグラフィックコントローラからDDR SGRAMへデータが受け渡されるときに使われます。読み込みデータが始まる前にDQS信号はHi-Z状態からロウレベルへ移行します。これがデータストローブプリアンブルと呼ばれるものです。仕様では、Hi-Z状態からロウレベルへの移行はデータの最初のエッジより1クロック前に起こることになっています。」

バンド幅・安定性に対する影響:小

DFIの推奨設定:Autoに設定するとデフォルトでは5.0nsになります。まず5.0より始め、4.0-7.0の間でRAMに応じてうまく動く設定を見つけるとよいでしょう。(Lower = Faster)

Idle Cycle Limit

Settings = Auto, 0-256 in varied increments.

DFIのBIOSより引用:「BIOSのこの機能は開いたページを無理矢理閉じる(プリチャージ時)前に置くクロックの数を指定します。」この設定はメモリページに対して調停が入ってもう一度強制的にプリチャージされる前に、読み込みを試行する最大回数を表しています。

バンド幅に対する影響:小、安定性に対する影響:大

DFIの推奨設定:Autoにすると256クロックに設定されますが、これはおそらく大きすぎるでしょう。あまり質のよくないRAMを使う場合はAutoのままがよいと思います。もし上等なRAMなら16-32クロックくらいがよいでしょう。私はBH-5を使うとき16クロックに設定するとうまく動きました。(Lower = Faster)

Dynamic Counter

Settings = Auto, Enable, Disable.

DFIのBIOSより引用:「BIOSのこの機能はDynamic Idle Cycle Counterを有効・無効にします。有効にすると、ページテーブルを使う場合にページコンフリクトとページミス(PC/PM)に起因するアイドル時間の上限を動的に調整するようになります。」このオプションはIdle Cycle Limitと直接関連するようです。有効にすると既存のIdle Cycle Limit設定を上書きし、それをコンフリクトに応じて動的に変更します。」

バンド幅・安定性に対する影響:小、だが場合によっては大

DFIの推奨設定:Autoに設定すると通常は無効になります。有効にするとパフォーマンスが上がり、無効では安定性が増します。この設定は非常に大きな差があります。私は他の設定をすませるまでこのオプションを有効にしておいたところ、マシンがいきなりクラッシュすることに気づきました。他の設定を調整しこのオプションを有効にできるようにしたところ、バンド幅に改善が見られることもわかりました。AurhiniusはTCCDを使用した場合、このオプションを無効にすることでバンド幅が50単位も改善したと報告しています。このオプションはBIOSのバージョンと使うメモリの種類にかなり依存するタイプのものであるようです。(Enable = Faster = Maybe)

R/W Queue Bypass

Settings = Auto, 2x, 4x, 8x, 16x.

DFIのBIOSより引用:「BIOSのこの機能は、アービタが上書きされDCI(Device Control Interface)の読み込み・書き込みキューにおける一番古い命令が選択される前に、バイパスされることが可能な回数を決定します。」アービタがメモリページの読み込み・書き込みキューに影響することをのぞけばIdle Cycle limitに似た設定ですね。

バンド幅・安定性に対する影響:小

DFIの推奨設定:16xがデフォルトです。安定性に問題が生じた場合以外はこのままにしておくのがよいでしょう。もし不安定になったのなら8x、いやOCを極めるためには2xや4x設定をもおすすめします。(Larger = Faster----Smaller = More Stable)

Bypass Max

Settings = Auto, 0x-7x in 1.0 increments.

DFIのBIOSより引用:「BIOSのこの設定はアービタの選択が拒否される前にDCQ(Dependence Chain Que?)中が一番古いエントリが調停機構にバイパスされる回数を指定します。」私はこの設定を様々な検討した結果、メモリとCPU内のメモリコントローラとの間のリンクに関係すると結論づけました。もし他に情報をお持ちならば気軽にレスしてください。更新しようと思いません。

バンド幅・安定性に対する影響:小

DFIの推奨設定:デフォルトは7xです。パフォーマンスと安定性を最大限に高めるために4x-7xの設定を推奨します。0x-7xの中では7xが一番高いバンド幅を達成できますが一番無茶な設定でもあります。低レイテンシのDIMMは高レイテンシで使うなら7xが、高FSBで使うならば4x-6xが適しているでしょう。まず5xに設定し、安定性を見ながら7xまで上げていくことをおすすめします。

32 Byte Granulation

Settings = Auto, Disable (8burst), Enable (4burst).

DFIのBIOSより引用:「BIOSのこの設定は32バイトのアクセスにおいてデータバスのバンド幅を最適化するために選ばれるバースト転送の回数を指定します。」最高のパフォーマンスを得るためには無効にします(バースト転送が最大サイズで行われます)。

バンド幅に対する影響:小、安定性に対する影響:大

DFIの推奨設定:Autoに設定するとDisable (8burst)になり、これはほとんどの場合デフォルトの設定です。より高いバンド幅のためにはDisable (8burst)を試してみてください。もし安定性を重視するならEnable (4burst)がおすすめです。(Disable = Faster)

- Config of the week -

- 250x11=2750mhz 200-2.5-5-3-2-3-8-14-3-2-3-A-A-W-A-B0-1T-5.5-8-A-E-4-E-D-D-C-D - LDT x4 - 1.6vChipset -
 - DFI DAGF NF4 8/11bios - 4000Sandiego 0515 1.625vcore - SLK948 w- 92mm Panaflo -
 - 2x 1024mb's Patriot LL's 2.8vDimm - 600w OCZ PowerStream SLI Edition -
 - 2x36gig Raptors Raid0 - PowerColor x850xt w-VF700 580\621 -

["NEW FORUM RULES 8/22/05 - MUST READ !!"](#)-----["HOW TO READ THE NF4 DIAGNOSTIC LEDs"](#)
["NF4-NF3-NF2 MBM 5 SETTINGS"](#)-----["NF4 POWER SUPPLY GUIDE"](#)
["NF2 AND NF4 BIOS FLASH CD + UTILITIES"](#)-----["MOD THE NF4-D TO SATAII AND SLI"](#)
["NF4 LANPARTY - INITIAL BUILD w/ PICTURES"](#)-----["THE DEFINITIVE DFI AMD OVERCLOCKING GUIDE"](#)
["NF4 - PLUG ALL FOUR POWER CONNECTORS IN..\(PIC'S\)"](#)-----["NF4 RAID SETUP GUIDE - WITH PIC'S"](#)



Close this window